

DERWENT-ACC-NO: 1986-084223

DERWENT-WEEK: 198613

COPYRIGHT 2007 DERWENT INFORMATION LTD

TITLE: Hybrid integrated circuit chip - has two stiff ceramic
boards including resistor and circuit patterns adhered to
flexible board NoAbstract Dwg 6-8/9

PATENT-ASSIGNEE: SONY CORP[SONY]

PRIORITY-DATA: 1984JP-0150909 (July 20, 1984)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 61030093 A	February 12, 1986	N/A	004	N/A

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
--------	-----------------	---------	-----------

JP 61030093A

N/A

1984JP-0150909

July 20, 1984

INT-CL (IPC): H05K001/14

ABSTRACTED-PUB-NO:

EQUIVALENT-ABSTRACTS:

TITLE-TERMS: HYBRID INTEGRATE CIRCUIT CHIP TWO **STIFF CERAMIC**
BOARD RESISTOR

CIRCUIT PATTERN ADHERE FLEXIBLE BOARD NOABSTRACT

DERWENT-CLASS: U14 V04

EPI-CODES: U14-H03; V04-Q02;

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-30093

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)2月12日

H 05 K 1/14

6428-5F

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 複合ハイブリッド基板

⑯ 特 願 昭59-150909

⑰ 出 願 昭59(1984)7月20日

⑱ 発 明 者	中 沢 秀 樹	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑲ 発 明 者	村 本 昭 一	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑳ 発 明 者	中 村 利 文	東京都品川区北品川6丁目7番35号	ソニー株式会社内
㉑ 出 願 人	ソニー株式会社	東京都品川区北品川6丁目7番35号	
㉒ 代 理 人	弁理士 伊 藤 貞	外1名	

明 細 書

発明の名称 複合ハイブリッド基板

特許請求の範囲

印刷技術手段により印刷電子部品として少なくとも抵抗素子及び配線回路パターンが形成された剛性基板部と、配線回路パターンが形成された可撓性基板部とを有し、上記剛性基板部と可撓性基板部は接着剤層を介して積層貼り合せられて複合基板とされると共に、該複合基板より上記剛性基板部の所定部が取り除かれ、該所定部を中心に上記可撓性基板部を外側にして所定曲率をもって折り曲げられ、かつ折り曲げられた両側の剛性基板部の裏面が互いに貼り合せられてなることを特徴とする複合ハイブリッド基板。

発明の詳細な説明

産業上の利用分野

本発明は、セットに実装されるハイブリッドICに適用して好適な複合ハイブリッド基板に関する。背景技術とその問題点

一般にセットに実装される、チップ部品を主体としたハイブリッドICは、大きく分けてSIP(シングル インライン パッケージ)タイプとDIP(デュアル インライン パッケージ)タイプの2種類がある。

SIPタイプのハイブリッドICは、リードがパッケージの1方向に取り出されたものである。従って、モジュールといったイメージが強く、スモールスケールの電子回路への展開は容易であるが、実装時に縦長となり、最近セットの小型化に伴い高さ方向への制限が厳しくなっていることからラージスケールの電子回路への展開が不可能である。また、リードがパッケージの1方向に取り出されるものであり、ハイブリッドIC内での引き出しラインロスが生じ易い。さらに、高さが10mm以下となるとフラットICの実装が難しくなる。

また、DIPタイプのハイブリッドICは、リードがパッケージの2方向に取り出されたものであり、スモールスケールからラージスケールの電子回路への展開が可能であるが、高さ方向の利用

度が低く、また、実装した場合の裏側へのサービスが困難である。

発明の目的

本発明は斯る点に鑑み、高さ方向を効率よく利用できると共に、高さ制限のあるセット条件に左右されず、高密度な実装が可能となるようにしたものである。

発明の概要

本発明は上記目的を達成するため、印刷部品として少なくとも抵抗素子と配線回路パターンが形成された剛性基板部と、配線回路パターンが形成された可撓性基板部が積層貼り合せられて複合基板とされると共に、この複合基板同士がさらに貼り合せられてなるものである。

実施例

以下、第1図及び第2図を参照しながら本発明の一実施例について説明しよう。

第1図及び第2図において、(1A)及び(1B)は剛性を有するセラミック基板部であり、後述するが、セラミック材上に印刷手段で抵抗素子及び

配線回路パターンが形成されている。

また、(2)は可撓性を有するフレキシブル基板部であり、フレキシブル材(2a)に、配線回路パターン(2b)が形成されており、その上に抵抗、コンデンサ、IC等のチップ部品(3)が装填されている。

また、基板部(1A)、(1B)と基板部(2)とは接着剤で接着されて複合基板とされている。

そして、基板部(1A)と(1B)の間を中心にしてフレキシブル基板部(2)を外側にして所定曲率をもって折り曲げられ(第1図矢印参照)、折り曲げられた両側のセラミック基板部(1A)及び(1B)の裏面が例えば接着テープ(4)をもって貼り合されている(第2図参照)。

尚、(5)はリードピンである。

第3図は、基板部(1B)と基板部(2)の部分の拡大断面図であり、第1図及び第2図と対応する部分には同一符号を付して示している。同図において、(1a)はセラミック材であり、(1b)及び(1c)はこのセラミック材(1a)上に印刷形成さ

れた配線回路パターン及び抵抗素子である。また、(6)は接着剤層、(7)はカバーレイである。基板部(1B)の配線回路パターン(1b)と、基板部(2)の配線回路パターン(2b)との接合は、フレキシブル材(2a)及び接着剤層(6)とに対応して形成された貫通孔(8)を通して例えば半田(9)で行なわれている。尚、基板部(1A)と基板部(2)の部分に関しても同様に構成されている。

本例は以上のように構成され、例えば第4図に示す工程で製造される。

まず、セラミック基板部(1A)、(1B)を、以下①～⑥で製造する。

- ① セラミック基板部(1A)、(1B)を構成する一体とされたセラミック材(1a)を用意する。
- ② 印刷によりセラミック材(1a)上に配線回路パターン(1b)を形成する。
- ③ 乾燥・焼成する。
- ④ 印刷によりセラミック材(1a)上に抵抗素子(1c)を形成する。
- ⑤ 乾燥・焼成する。

- ⑥ 抵抗値調整のためのトリミングをする。

一方、フレキシブル基板部(2)を、以下⑦～⑩で製造する。

- ⑦ フレキシブル材(2a)を用意する。
- ⑧ フレキシブル材(2a)上に、配線回路パターン(2b)を形成する。
- ⑨ ソルダーコートによりカバーレイ(7)を形成する。
- ⑩ パンチングにより貫通孔(8)を形成する。

また、セラミック基板部(1A)、(1B)とフレキシブル基板部(2)とを貼り合わせるための接着剤を以下⑪、⑫で製造する。

- ⑪ 例えばシート状の接着材料を用意する。
- ⑫ パンチングにより貫通孔(8)を形成する。

次に、⑪上述のようにして製造したセラミック基板部(1A)、(1B)とフレキシブル基板部(2)との間に接着剤を介在させて貼り合せ、複合基板とする。

次に、⑬所定部分に半田印刷をする。

次に、⑭チップ部品(3)等の自動マウントをする。

次に、④自動マウントできないリードピン(6)等を手動でマウントする。

次に、⑤半田リフロー（半田付）をする。

次に、⑥洗浄をする。

次に、⑦第5図に示すように、セラミック基板部(1A)及び(1B)の間の不要部分(1C)を取り除く。この場合、セラミック基板部(1A)及び(1B)の製造工程の、例えば⑧トリミング時に、境界部分にV溝を付けておいてもよく、押圧部材⑨による押圧で取り除く。

次に、⑩不要部分(1C)の取り除かれた部分を中心にフレキシブル基板部(2)を外側にして折り曲げ、折り曲げられた両側のセラミック基板部(1A)、(1B)の裏面を例えば接着テープ(4)で貼り合わせる。そして、⑪最後に全体をチェックして終る。

以上述べた本例によれば、セラミック基板部(1A)、(1B)とフレキシブル基板部(2)とが貼り合せられ複合基板とされ、さらにセラミック基板部(1A)及び(1B)が貼り合せられてなり、高密度の実装が可能で、スモールスケールからラージ

スケールの電子回路への展開が可能である。また、高さ方向の利用度も従来のSIPタイプのものと同様に高い。また、本例によれば、剛性基板部にセラミック材(1a)が使用されているので放熱効果が高い。また、マウント終了後にセラミック基板部の不要部分(1C)を取り除くものであるから、製造を容易かつ安価に行なうことができる。

次に、第6図～第9図は本発明の他の実施例を示すものであり、第1図と対応する部分には同一符号を付し、重複説明は省略する。

まず、第6図に示すものは、セラミック基板部同士の貼り合せ箇所が3箇所とされると共にリードピン(6)が2方向から取り出されるようにしたものである。この第6図例の場合、高さ制限のあるセット条件に左右されず、一層高密度の実装が可能である。また、リードピン(6)が2方向から取り出されているので、引き出しラインロスを少なくできる。

また、第7図に示すものは、セラミック基板部同士の貼り合せ箇所の間に比較的広い平面部分が

形成されると共に、リードピン(6)が2方向から取り出されるようにしたものである。この第7図例の場合、平面部分に高さ、あるいは幅のある部品を配せる利益があると共に、リードピン(6)が2方向から取り出されるので引き出しラインロスを少なくできる。

また、第8図及び第9図に示すものは、セットに横長に実装できるように、リードピン(6)が基板に対して直角方向に取り出されると共に、リードピン(6)が2方向から取り出されるようにしたものである。この第8図及び第9図例の場合、横長に実装されるので、高さ方向の制限に左右されない利益がある。

尚、上述実施例においてはセラミック基板を使用した例について説明したが、他の金属基板、例えばガラスエポキシ基板等に代えてもよい。

発明の効果

以上述べた実施例からも明らかなように本発明によれば、少くとも抵抗素子及び配線回路パターンが形成された剛性基板部（セラミック基板部）

と配線回路パターンが形成された可撓性基板部（フレキシブル基板部）とが貼り合せられ、これがさらに貼り合せられてなるものであり、高さ制限のあるセット条件に左右されず高密度な実装が可能であり、スモールスケールからラージスケールの電子回路への幅広い展開が可能である。しかも、高さ方向を効率よく利用することができる。

図面の簡単な説明

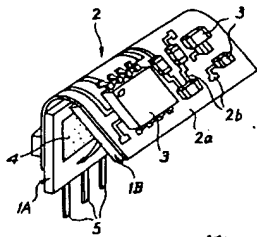
第1図及び第2図は夫々本発明の一実施例を示す斜視図及び側面図、第3図はその要部の断面図、第4図及び第5図はその説明のための図、第6図～第9図は夫々本発明の他の実施例を示す側面図及び斜視図である。

(1A)及び(1B)は夫々セラミック基板部、(2)はフレキシブル基板部、(3)はチップ部品、(4)は接着テープ、(6)はリードピンである。

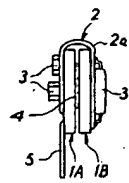
代理人 伊藤 貞

同 松隈 秀盛

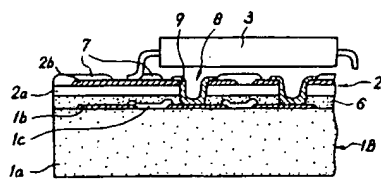
第1図



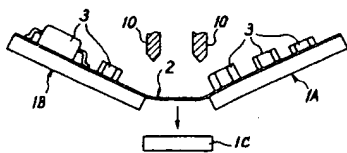
第2図



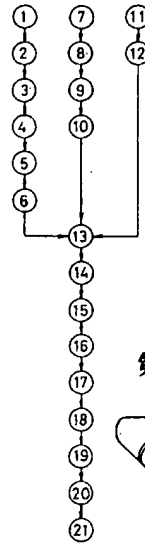
第3図



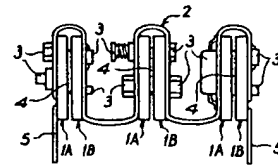
第5図



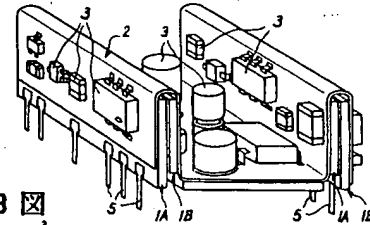
第4図



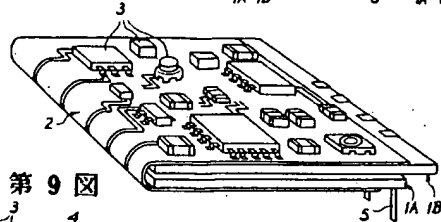
第6図



第7図



第8図



第9図

